

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

#2/Priority
Hawkins
5/11/01

JCP996 U.S. PRO
09/17/97
02/07/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 2月 23日

出願番号
Application Number:

特願 2000-046225

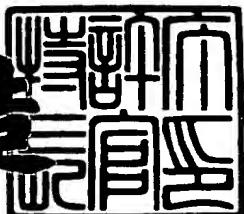
出願人
Applicant(s):

富士通株式会社

2001年 1月 5日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特 2000-3109958

【書類名】 特許願

【整理番号】 9903259

【提出日】 平成12年 2月23日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H03L 7/18

【発明の名称】 遅延時間調整方法と遅延時間調整回路

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 谷口 賀孝

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

特2000-046225

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 遅延時間調整方法と遅延時間調整回路

【特許請求の範囲】

【請求項1】 入力信号と出力信号の位相が一致するように前記入力信号の遅延時間を調整する方法であって、

前記入力信号と前記出力信号の位相差がN周期（Nは0以外の整数）となるまで前記出力信号の位相を遅らせることを特徴とする遅延時間調整方法。

【請求項2】 前記出力信号は、前記入力信号がD.L.L回路により遅延されることにより生成される請求項1に記載の遅延時間調整方法。

【請求項3】 入力された第一の周期信号と出力される第二の周期信号の位相が一致するように前記第一の周期信号の遅延時間を調整する方法であって、

前記第二の周期信号における所定の立ち上がりエッジの位相が、前記第一の周期信号における所定の立ち上がりエッジの位相に対して遅れているときには、前記第二の周期信号における所定の立ち上がりエッジが、前記第二の周期信号における所定の立ち上がりエッジより位相が遅れていると共に前記第二の周期信号における所定の立ち上がりエッジとの位相差が最小である前記第一の周期信号における立ち上がりエッジと一致するよう前記遅延時間を調整することを特徴とする遅延時間調整方法。

【請求項4】 入力された第一の周期信号と出力される第二の周期信号の位相が一致するように前記第一の周期信号の遅延時間を調整する方法であって、

前記第二の周期信号における所定の立ち上がりエッジの位相が、前記第一の周期信号における第一の立ち上がりエッジの位相に対して遅れているか否かを判断する第一のステップと、

前記第一のステップにおいて、前記第二の周期信号における前記所定の立ち上がりエッジの位相が、前記第一の周期信号における前記第一の立ち上がりエッジの位相に対して遅れていると判断されたときには、前記第二の周期信号における前記所定の立ち上がりエッジの位相と前記第一の周期信号において前記第一の立ち上がりエッジより一周期遅れた第二の立ち上がりエッジの位相とが一致するよう前記第二の周期信号の位相を遅らせる第二のステップとを有することを特徴と

する遅延時間調整方法。

【請求項5】 入力信号と出力信号の位相が一致するように前記入力信号の遅延時間を調整する遅延時間調整回路であって、

前記入力信号と前記出力信号の位相差がN周期（Nは0以外の整数）となるまで前記出力信号の位相を遅らせる遅延手段を備えたことを特徴とする遅延時間調整回路。

【請求項6】 入力された第一の周期信号と出力される第二の周期信号の位相が一致するように前記第一の周期信号の遅延時間を調整する遅延時間調整回路であって、

前記第二の周期信号における所定の立ち上がりエッジの位相が、前記第一の周期信号における所定の立ち上がりエッジの位相に対して遅れているときには、前記第二の周期信号における所定の立ち上がりエッジが、前記第二の周期信号における所定の立ち上がりエッジより位相が遅れていると共に前記第二の周期信号における所定の立ち上がりエッジとの位相差が最小である前記第一の周期信号における立ち上がりエッジと一致するよう前記遅延時間を調整する遅延手段を備えたことを特徴とする遅延時間調整回路。

【請求項7】 入力された第一の周期信号と出力される第二の周期信号の位相が一致するように前記第一の周期信号の遅延時間を調整する遅延時間調整回路であって、

前記第一の周期信号を遅延させて前記第二の周期信号を生成する遅延手段と、前記第二の周期信号における所定の立ち上がりエッジの位相が、前記第一の周期信号における第一の立ち上がりエッジの位相に対して遅れているか否かを検出する位相状態検出手段と、

前記位相状態検出手段により、前記第二の周期信号における前記所定の立ち上がりエッジの位相が、前記第一の周期信号における前記第一の立ち上がりエッジの位相に対して遅れていることが検出されたときには、前記第二の周期信号における前記所定の立ち上がりエッジの位相と前記第一の周期信号において前記第一の立ち上がりエッジより一周期遅れた第二の立ち上がりエッジの位相とが一致するまで前記第二の周期信号の位相を遅らせるよう前記遅延手段を制御する調整手

段とを備えたことを特徴とする遅延時間調整回路。

【請求項 8】 前記調整手段は、前記第二の周期信号における前記所定の立ち上がりエッジの位相と前記第一の周期信号における前記第二の立ち上がりエッジの位相とが一致した後は、前記第二の周期信号における前記所定の立ち上がりエッジの位相と前記第一の周期信号における前記第二の立ち上がりエッジの位相とが許容範囲内で常時一致するよう前記遅延手段を制御する請求項 7 に記載の遅延時間調整回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路において伝送される信号の遅延時間を調整する遅延時間調整回路と遅延時間調整方法に関するものである。

【0002】

【従来の技術】

従来より、DDR (Double Data Rate) - SDRAM等のように高速動作が要求され、DLL (Delayed Locked Loop) 回路 (DLLアレイ) が搭載された半導体集積回路においては、クロック信号の位相を調整するための遅延時間調整回路が備えられている。

【0003】

図1は、従来の上記遅延時間調整回路の構成を示す図である。図1に示されるように、この遅延時間調整回路は入力バッファ1と、出力バッファ5と、分周器2, 4と、DLLアレイ3と、ダミー回路6と、位相比較器8と、ディレイ調整回路10とを備える。

【0004】

ここで、入力バッファ1はクロック信号を入力して、信号Cinを出力する。また、分周器2及びDLLアレイ3は入力バッファ1に接続され、分周器4及び出力バッファ5はDLLアレイ3の出力端に接続される。ここで、分周器2はターゲットクロック信号tclkを出力し、DLLアレイ3は信号Coutを出力し、出力バッファ5はDLLアレイ3により遅延されたクロック信号を出力する。さ

らに、上記分周器2と分周器4の分周率は同率とされる。

【0005】

また、ダミー回路6は分周器4に接続され、遅延クロックdclkを出力する。そして、位相比較器8は分周器2及びダミー回路6の出力端に接続され、供給されたターゲットクロック信号tclk及び帰還した遅延クロックdclkに応じて、結果を示す信号outをディレイ調整器10へフィードバックする。また、ディレイ調整回路10の出力端はDLLアレイ3に接続され、ディレイ調整回路10からDLLアレイ3へ制御信号CSが供給される。

【0006】

図2は、図1に示されたDLLアレイ3の構成を示す回路図である。図2に示されるように、DLLアレイ3は並列接続された複数のスイッチSW1～SWnを含む切り替え部31と、各スイッチSW1～SWnに対応するよう設けられたインバータINV1～INVnとを含む。ここで、切り替え部31に含まれた各スイッチSW1～SWnの切り替えは、ディレイ調整回路10から供給される制御信号CSにより制御される。なお、上記インバータINV1～INVnのそれぞれにおいては、信号が時間tdだけ遅延される。

【0007】

上記の回路においては、入力バッファ1における遅延時間をd1、出力バッファ5における遅延時間をd2とすると、ダミー回路6の遅延時間は(d1+d2)とされる。また、DLLアレイ3の遅延時間をd3とすると、入力バッファ1に入力されたクロック信号が出力バッファ5から出力されるまでの遅延時間は(d1+d2+d3)となる。

【0008】

さらに、分周器2、4の遅延時間をd4とすると、入力バッファ1に入力されたクロック信号がターゲットクロック信号tclkとして位相比較器8に入力されるまでの遅延時間は(d1+d4)となり、入力バッファ1に入力されたクロック信号が遅延クロック信号dclkとして位相比較器8に入力されるまでの遅延時間は(d1+d3+d4+(d1+d2))となる。

【0009】

従って、ターゲットクロック信号tclkと遅延クロック信号dclkにおける遅延時間の差は（d1+d2+d3）となるため、該差は入力バッファ1に入力されたクロック信号が出力バッファ5から出力されるまでの遅延時間と一致する。これより、入力バッファ1に入力されるクロック信号と、出力バッファ5から出力されるクロック信号との位相を揃えるために、ターゲットクロック信号tclkと遅延クロック信号dclkにおける遅延時間の差（d1+d2+d3）が該クロック信号におけるn（nは1又は2、あるいは他の自然数）個のクロック分の時間に相当するよう、ディレイ調整回路10によってDLLアレイ3での遅延時間が調整される。

【0010】

以下において、図3及び図4の波形図を参照しつつ、図1に示された従来の遅延時間調整回路の動作を説明する。まず、図3（a）に示された信号Cinは、図3（b）に示されるように、分周器2によって4分周され、ターゲットクロック信号tclkとして位相比較器8に供給される。一方、DLLアレイ3においては信号Cinが所定時間遅延され、図3（c）に示された信号Coutが生成される。そして、この信号Coutは分周器4により4分周され、図3（d）に示されるモニタクロック信号mclkが生成される。

【0011】

ここで、分周器2、4の構成は同じものとされるため、分周器2から出力されたターゲットクロック信号tclkに対する分周器4から出力されたモニタクロック信号mclkの遅延時間VDは、DLLアレイ3における遅延時間を意味する。そしてここでは、DLLアレイ3の可変遅延段は、遅延時間を最小とする最小段とされるものとする。

【0012】

また、モニタクロック信号mclkはダミー回路6において周波数によらず固定時間FDだけ遅延され、図3（e）に示される遅延クロック信号dclkが生成される。そして、この遅延クロック信号dclkと上記ターゲットクロック信号tclkは、位相比較器8において相互の位相が比較され、時間TD分だけ遅延クロック信号dclkの位相が進んでいることが判定される。このとき位相比較器8は、遅延クロック

ク信号dclkの位相が時間TD分だけ進んでいることを示す信号outを、ディレイ調整回路10へ供給する。

【0013】

そして、ディレイ調整回路10は信号outに応じた制御信号CSをDLLアレイ3に供給し、DLLアレイ3における遅延時間が時間TDだけ延長される。以上のような動作により、遅延クロック信号dclkの位相がターゲットクロック信号tclkの位相に揃えられる。

【0014】

次に、半導体集積回路における動作の高速化の要求に応じて、入力バッファ1へより高い周波数を有するクロック信号が入力される場合の動作を、図4を参照しつつ説明する。まずこの場合には、分周器2及びDLLアレイ3に供給される信号Cinの周波数は、図4(a)に示されるように、図3(a)に示された信号Cinの周波数より高いものとなる。そしてこの信号Cinは、上記と同様に分周器2によって4分周され、図4(b)に示されるターゲットクロック信号tclkとして位相比較器8に供給される。一方、DLLアレイ3においては信号Cinが所定時間遅延され、図4(c)に示された信号Coutが生成される。そして、この信号Coutは分周器4により4分周され、図4(d)に示されるモニタクロック信号mclkが生成される。

【0015】

ここで分周器2, 4の構成は、上記のように同じものとされるため、分周器2から出力されたターゲットクロック信号tclkに対する分周器4から出力されたモニタクロック信号mclkの遅延時間VDは、DLLアレイ3における遅延時間を意味する。そしてここでは、DLLアレイ3の可変遅延段は、遅延時間を最小とする最小段とされるものとする。

【0016】

また、モニタクロック信号mclkはダミー回路6において周波数によらず固定時間FDだけ遅延され、図4(e)に示される遅延クロック信号dclkが生成される。そして、この遅延クロック信号dclkと上記ターゲットクロック信号tclkは、位相比較器8において相互の位相が比較される。

【0017】

しかしながら、図4 (b) と図4 (e) に示されるように、信号Cinの周波数が高い場合には、DLLアレイ3における最小段の遅延時間VDとダミー回路6において遅延される周波数に依存しない固定時間FDとの和により、遅延クロック信号dclkの位相がターゲットクロック信号tclkの位相より遅れることが生じ得る。

【0018】

このような場合には、既に遅延クロック信号dclkの位相がターゲットクロック信号tclkの位相より遅れているため、ターゲットクロック信号tclkの一番目のクロックを基準として遅延クロック信号dclkの位相をターゲットクロック信号tclkの位相に合わせるようにDLLアレイ3における遅延時間を調整することはできないという問題がある。なお、このような場合はいわゆるアンダーフロー状態と呼ばれている。

【0019】

【発明が解決しようとする課題】

本発明は、上述の問題を解消するためになされたもので、周波数が高い場合においても信号の遅延時間を容易に調整することができる遅延時間調整回路と遅延時間調整方法を提供することを目的とする。

【0020】

【課題を解決するための手段】

上記の目的は、入力信号と出力信号の位相が一致するように入力信号の遅延時間を調整する方法であって、入力信号と出力信号の位相差がN周期（Nは0以外の整数）となるまで出力信号の位相を遅らせることを特徴とする遅延時間調整方法を提供することにより達成される。このような手段によれば、入力信号と出力信号の位相をそろえるために、出力信号の位相を遅らせる際の自由度を高めることができる。ここで、出力信号は、入力信号がDLL回路により遅延されることによって生成されたものとすれば、DLL回路の遅延段の長さを変化させることにより、容易に入力信号の遅延時間を調整することができる。

【0021】

また、本発明の目的は、入力された第一の周期信号と出力される第二の周期信号の位相が一致するように第一の周期信号の遅延時間を調整する方法であって、第二の周期信号における所定の立ち上がりエッジの位相が、第一の周期信号における所定の立ち上がりエッジの位相に対して遅れているときには、第二の周期信号における所定の立ち上がりエッジが、第二の周期信号における所定の立ち上がりエッジより位相が遅れていると共に第二の周期信号における所定の立ち上がりエッジとの位相差が最小である第一の周期信号における立ち上がりエッジと一致するよう遅延時間を調整することを特徴とする遅延時間調整方法を提供することにより達成される。このような手段によれば、第二の周期信号における所定の立ち上がりエッジが、初期状態において、第一の周期信号における所定の立ち上がりエッジに対し位相が遅れている場合でも、第二の周期信号と第一の周期信号の位相を容易に揃えることができる。

【0022】

また、本発明の目的は、入力された第一の周期信号と出力される第二の周期信号の位相が一致するように第一の周期信号の遅延時間を調整する方法であって、第二の周期信号における所定の立ち上がりエッジの位相が、第一の周期信号における第一の立ち上がりエッジの位相に対して遅れているか否かを判断する第一のステップと、第一のステップにおいて、第二の周期信号における所定の立ち上がりエッジの位相が、第一の周期信号における第一の立ち上がりエッジの位相に対して遅れていると判断されたときには、第二の周期信号における所定の立ち上がりエッジの位相と第一の周期信号において第一の立ち上がりエッジより一周期遅れた第二の立ち上がりエッジの位相とが一致するよう第二の周期信号の位相を遅らせる第二のステップとを有することを特徴とする遅延時間調整方法を提供することにより達成される。

【0023】

このような手段によれば、第一の周期信号の周波数が高くなり、第二の周期信号における所定の立ち上がりエッジの位相が、第一の周期信号における第一の立ち上がりエッジの位相に対して遅れる場合でも、第二の周期信号の位相を第一の周期信号の位相に容易に揃えることができる。

【0024】

また、本発明の目的は、入力信号と出力信号の位相が一致するように入力信号の遅延時間を調整する遅延時間調整回路であって、入力信号と出力信号の位相差がN周期（Nは0以外の整数）となるまで出力信号の位相を遅らせる遅延手段を備えたことを特徴とする遅延時間調整回路を提供することにより達成される。このような手段によれば、入力信号と出力信号の位相をそろえるために、遅延手段において出力信号の位相を遅らせる際の自由度を高めることができる。

【0025】

また、本発明の目的は、入力された第一の周期信号と出力される第二の周期信号の位相が一致するように第一の周期信号の遅延時間を調整する遅延時間調整回路であって、第二の周期信号における所定の立ち上がりエッジの位相が、第一の周期信号における所定の立ち上がりエッジの位相に対して遅れているときには、第二の周期信号における所定の立ち上がりエッジが、第二の周期信号における所定の立ち上がりエッジより位相が遅れていると共に第二の周期信号における所定の立ち上がりエッジとの位相差が最小である第一の周期信号における立ち上がりエッジと一致するよう遅延時間を調整する遅延手段を備えたことを特徴とする遅延時間調整回路を提供することにより達成される。このような手段によれば、第二の周期信号における所定の立ち上がりエッジが、初期状態において、第一の周期信号における所定の立ち上がりエッジに対し位相が遅れている場合でも、遅延手段において遅延時間を調整することにより第二の周期信号と第一の周期信号の位相を容易に揃えることができる。

【0026】

また、本発明の目的は、入力された第一の周期信号と出力される第二の周期信号の位相が一致するように第一の周期信号の遅延時間を調整する遅延時間調整回路であって、第一の周期信号を遅延させて第二の周期信号を生成する遅延手段と、第二の周期信号における所定の立ち上がりエッジの位相が、第一の周期信号における第一の立ち上がりエッジの位相に対して遅れているか否かを検出する位相状態検出手段と、位相状態検出手段により、第二の周期信号における所定の立ち上がりエッジの位相が、第一の周期信号における第一の立ち上がりエッジの位相

に対して遅れていることが検出されたときには、第二の周期信号における所定の立ち上がりエッジの位相と第一の周期信号において第一の立ち上がりエッジより一周期遅れた第二の立ち上がりエッジの位相とが一致するまで第二の周期信号の位相を遅らせるよう遅延手段を制御する調整手段とを備えたことを特徴とする遅延時間調整回路を提供することにより達成される。このような手段によれば、第一の周期信号の周波数が高くなり、第二の周期信号における所定の立ち上がりエッジの位相が、第一の周期信号における第一の立ち上がりエッジの位相に対して遅れる場合でも、調整手段が遅延手段を制御することにより第二の周期信号の位相を第一の周期信号の位相に容易に揃えることができる。

【0027】

ここで、調整手段は、第二の周期信号における所定の立ち上がりエッジの位相と第一の周期信号における第二の立ち上がりエッジの位相とが一致した後は、第二の周期信号における所定の立ち上がりエッジの位相と第一の周期信号における第二の立ち上がりエッジの位相が許容範囲内で常時一致するよう遅延手段を制御するものとすることができる。このような手段によれば、第一の周期信号と位相が揃った第二の周期信号を安定して外部へ出力することができる。

【0028】

【発明の実施の形態】

以下において、本発明の実施の形態を図面を参照しつつ詳しく述べる。なお、図中同一符号は、同一又は相当部分を示す。

【0029】

図5は、本発明の実施の形態に係る遅延時間調整回路の構成を示す図である。図5に示されるように、本発明の実施の形態に係る遅延時間調整回路は、入力バッファ1と、出力バッファ5と、分周器2、4と、DPLLアレイ7と、ダミー回路6と、位相比較器8と、ディレイ調整回路24と、状態判定回路20と、状態検出回路22とを備える。

【0030】

なお、上記分周器2は信号の位相を調整する際に用いられる基準（ターゲット）を決定する要素であり、分周器4は該位相の調整を図る頻度を決定する要素で

あると考えることができる。

【0031】

また、入力バッファ1はクロック信号を入力する。また、分周器2及びDLLアレイ7は入力バッファ1に接続され、分周器4及び出力バッファ5はDLLアレイ7の出力端に接続される。ここで、分周器2はターゲットクロック信号tclkを出力する。また、ダミー回路6は分周器4に接続され、遅延クロックdclkを出力する。そして、位相比較器8は分周器2及びダミー回路6の出力端に接続され、位相比較の結果を示す信号outを状態判定回路20と状態検出回路22に供給する。

【0032】

また、状態検出回路22はさらに、DLLアレイ7による位相比較動作を開始する時にハイレベルに活性化されるパワーオンリセット信号reszを受けて、状態検出結果信号fstzを状態判定回路20へ供給する。そして、状態判定回路20はディレイ調整回路24へ比較結果信号upzを供給する。また、ディレイ調整回路24の出力端はDLLアレイ7に接続され、ディレイ調整回路24からDLLアレイ7へ制御信号CSが供給される。ここで、分周器2, 4における分周率は例えば4とされる。なお、図5に示された遅延時間調整回路においては、後述するようにDLLアレイ7に含まれる遅延段数（インバータINV1～INVn）は従来より少なくて足りることとなる。

【0033】

以下において、上記遅延時間調整回路の動作を図6及び図7の波形図を参照して説明する。まず、上記より図6(a)に示された信号Cinは、図6(b)に示されるように、分周器2によって4分周され、ターゲットクロック信号tclkとして位相比較器8に供給される。一方、DLLアレイ7においては信号Cinが所定時間遅延され、図6(c)に示された信号Coutが生成される。そして、この信号Coutは分周器4により4分周され、図6(d)に示されるモニタクロック信号mclkが生成される。

【0034】

ここで、分周器2, 4の構成は同じものとされるため、分周器2から出力され

たターゲットクロック信号tclkに対する分周器4から出力されたモニタクロック信号mclkの遅延時間VDは、DLLアレイ7における遅延時間を意味する。そしてここでは、DLLアレイ7の可変遅延段は、遅延時間を最小とする最小段とされるものとする。

【0035】

また、モニタクロック信号mclkはダミー回路6において周波数によらず固定時間FDだけ遅延され、図3(e)に示される遅延クロック信号dclkが生成される。そして、この遅延クロック信号dclkと上記ターゲットクロック信号tclkは、位相比較器8において相互の位相が比較され、時間TD分だけ遅延クロック信号dclkの位相が進んでいることが判定される。このとき位相比較器8は、遅延クロック信号dclkの位相が時間TD分だけ進んでいることを示す信号outを、状態判定回路20及び状態検出回路22へ供給する。

【0036】

そしてこのとき、状態検出回路22は、後に詳しく記すように、DLLアレイ7による遅延時間調整動作の開始時にハイレベルとされたパワーオンリセット信号reszを受けてハイレベルの状態検出結果信号fstzを状態判定回路20へ供給する。これにより、状態判定回路20は、後述するように、ハイレベルの比較結果信号upzをディレイ調整回路24へ供給することとなる。

【0037】

そして、ディレイ調整回路10は供給されたハイレベルの比較結果信号upzに応じた制御信号CSをDLLアレイ7に供給し、DLLアレイ7における遅延時間が時間TDだけ延長される。以上のような動作によって、遅延クロック信号dclkとして図6(f)に示された信号L₀nが生成されることにより、遅延クロック信号dclkの位相がターゲットクロック信号tclkの位相に揃えられロックオンされる。なおロックオンとは、遅延クロック信号dclkとターゲットクロック信号tclkとの位相を、許容範囲内で常時一致させることをいう。またここで、許容範囲とは、例えば、該遅延時間調整回路が搭載される半導体集積回路のスペックにおいて、正常動作を保証する動作周波数のマージンをいう。

【0038】

次に、半導体集積回路における動作の高速化の要求に応じて、入力バッファ1へより高い周波数を有するクロック信号が入力される場合の動作を、図7を参照しつつ説明する。まずこの場合には、分周器2及びDLLアレイ7に供給される信号Cinの周波数は、図7(a)に示されるように、図6(a)に示された信号Cinの周波数より高いものとなる。そしてこの信号Cinは、上記と同様に分周器2によって4分周され、図7(b)に示されるターゲットクロック信号tclkとして位相比較器8に供給される。

【0039】

一方、DLLアレイ7においては信号Cinが所定時間遅延され、図7(c)に示された信号Coutが生成される。そして、この信号Coutは分周器4により4分周され、図7(d)に示されるモニタクロック信号mclkが生成される。

【0040】

ここで分周器2, 4の構成は、上記のように同じものとされるため、分周器2から出力されたターゲットクロック信号tclkに対する分周器4から出力されたモニタクロック信号mclkの遅延時間VDは、DLLアレイ7における遅延時間を意味する。そしてここでは、DLLアレイ7の可変遅延段は、遅延時間を最小とする最小段とされるものとする。

【0041】

また、モニタクロック信号mclkはダミー回路6において周波数によらず固定時間FDだけ遅延され、図7(e)に示される遅延クロック信号dclkが生成される。そして、この遅延クロック信号dclkと上記ターゲットクロック信号tclkは、位相比較器8において相互の位相が比較される。

【0042】

しかしながら、図7(b)と図7(e)に示されるように、信号Cinの周波数が高い場合には、DLLアレイ7における最小段の遅延時間VDとダミー回路6において遅延される周波数に依存しない固定時間FDとの和により、遅延クロック信号dclkの位相がターゲットクロック信号tclkの位相より遅れることが生じ得る。

【0043】

このような場合には、既に遅延クロック信号dclkの位相がターゲットクロック信号tclkの位相より遅れているため、ターゲットクロック信号tclkの最初の立ち上がり（ロウレベルからハイレベルへの遷移を指称し、「立ち上がりエッジ」とも呼ばれる）を基準として遅延クロック信号dclkの位相をターゲットクロック信号tclkの位相に合わせるようにDLLアレイ7における遅延時間を調整することはできない。

【0044】

このとき、図5に示された状態検出回路22は、位相比較器8における比較結果によらず、供給されたパワーオンリセット信号reszに応じて、上記と同様にハイレベルの状態検出結果信号fstzを状態判定回路20へ供給するため、ディレイ調整回路24は、状態判定回路20よりハイレベルの比較結果信号upzを供給されることとなる。なお、状態検出回路22と状態判定回路20については、後に詳しく説明する。

【0045】

従って、ディレイ調整回路24は供給されたハイレベルの比較結果信号upzに応じた制御信号CSをDLLアレイ7に供給し、DLLアレイ7における遅延時間が延長される。

【0046】

ここで、上記のような位相比較動作とその結果による遅延時間の延長が繰り返されることにより、さらに時間ADを超えた長い時間遅延され、遅延クロック信号dclkの最初のクロック（立ち上がり）がターゲットクロック信号tclkの二番目のクロック（立ち上がり）より遅れることとなると、位相比較器8からはロウレベルの信号outが状態検出回路22へ供給される。これにより、状態検出回路22はロウレベルの状態検出結果信号fstzを状態判定回路20へ供給するため、状態判定回路20が活性化され、位相比較器8における比較結果がそのままロウレベルの比較結果信号upzとして、ディレイ調整回路24へ供給される。

【0047】

このようにして、ディレイ調整回路24は供給された上記比較結果信号upzに応じた制御信号CSをDLLアレイ7に供給し、DLLアレイ7における遅延時

間が短縮される。その結果、図7 (f) に示されるように、最初のクロック（立ち上がり）がターゲットクロック信号tclkの二番目のクロック（立ち上がり）と揃うように位相が調整された信号L₀nが、遅延クロック信号dclkとして生成され、ロックオンされる。

【0048】

以下において、図5に示された位相比較器8について、詳しく説明する。図8に示されるように、位相比較器8はNAND回路80～85を含み、ターゲットクロック信号tclkがNAND回路81, 82へ供給され、遅延クロック信号dclkがNAND回路83へ供給される。そして、NAND回路84の出力端から信号outが出力される。

【0049】

図9は、遅延クロック信号dclkの最初のクロックがターゲットクロック信号tclkの一番目のクロックより遅れている場合の上記位相比較器8の動作を示す波形図である。なお、図9においては、遅延クロック信号dclkとターゲットクロック信号tclk及び信号outの他に、図9 (c) から図9 (f) において、それぞれNAND回路80～83の出力ノードNA, NB, NC, NDにおける電位変動が示されている。

【0050】

ここで、図9に示されるように、遅延クロック信号dclkの最初のクロックがターゲットクロック信号tclkの一番目のクロックより遅れている場合には、ターゲットクロック信号tclkのいわゆる立ち上がり時刻TA以前においては、NAND回路84, 85によりハイレベル又はロウレベルの信号outがラッチされる。そして、時刻TAにおいてターゲットクロック信号tclkがハイレベルとなると、ノードNBの電位がロウレベルに下がり、その結果として信号outがロウレベルに固定される。このようにして、位相比較器8はロウレベルの信号outを状態検出回路22及び状態判定回路20に供給することにより、遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックに対して遅れているという判定結果(decrease)を伝達する。

【0051】

同様に、図10は、遅延クロック信号dclkの最初のクロックがターゲットクロック信号tclkの一番目のクロックより進んでいる場合の上記位相比較器8の動作を示す波形図である。なお、図10においても、遅延クロック信号dclkとターゲットクロック信号tclk及び信号outの他に、図10(c)から図10(f)において、それぞれNAND回路80～83の出力ノードNA, NB, NC, NDにおける電位変動が示されている。

【0052】

ここで、図10に示されるように、遅延クロック信号dclkの最初のクロックがターゲットクロック信号tclkの一番目のクロックより進んでいる場合には、ターゲットクロック信号tclkのいわゆる立ち上がり時刻TA以前においては、NAND回路84, 85によりハイレベル又はロウレベルの信号outがラッチされる。そして、時刻TAにおいてターゲットクロック信号tclkがハイレベルとなると、ノードNAの電位がロウレベルに下がり、その結果として信号outがハイレベルに固定される。このようにして、位相比較器8はハイレベルの信号outを状態検出回路22及び状態判定回路20に供給することにより、遅延クロック信号dclkの最初のクロックがターゲットクロック信号tclkの一番目のクロックに対して進んでいるという判定結果(decrease)を伝達する。

次に、図5に示された状態検出回路22について詳しく説明する。図11は、図5に示された状態検出回路22の構成を示す回路図である。図11に示されるように状態検出回路22は、遅延回路40と、インバータ41～45と、NOR回路NOR1と、ゲートGT1, GT2と、NチャネルMOSトランジスタNT1～NT7と、PチャネルMOSトランジスタPT1～PT8とを備える。そして、遅延回路40は直列接続されたインバータ46～48と、MOSキャパシタMC1, MC2とを含む。

【0053】

ここで、図11に示されるように、位相比較器8から供給された信号outはNOR回路NOR1及び遅延回路40へ供給される。従って、NOR回路NOR1には、信号outと該信号outが遅延回路40により所定時間遅延された信号とが入力される。また、本実施の形態に係る遅延時間調整回路の電源が投入された時に

、ロウレベルからハイレベルへ遷移するパワーオンリセット信号reszが、インバータ42の入力端とNチャネルMOSトランジスタNT1のゲートに供給される。また、上記NチャネルMOSトランジスタNT1のソースは接地ノードNgに接続され、ドレインはインバータ45を介して状態検出回路22の出力ノードNoutに接続される。

【0054】

また、インバータ43, 44間及びインバータ44, 45間にそれぞれ接続されたゲートGT1, GT2は、共にNOR回路1の出力信号に応じて開閉される。

【0055】

次に、状態検出回路22の動作を説明する。まず、電源投入時においてNチャネルMOSトランジスタNT1のゲートにハイレベルのパワーオンリセット信号reszが供給されるため、NチャネルMOSトランジスタNT1がオンし、インバータ45へ接地ノードNgより接地電圧が供給される。これにより、ロウレベルの信号がインバータ45により反転され、状態検出回路22の出力ノードNoutへはハイレベルの状態検出結果信号fstzが供給される。

【0056】

なおこのとき、PチャネルMOSトランジスタPT1, PT2のゲートにはインバータ42よりロウレベルの信号が供給されるため、両PチャネルMOSトランジスタPT1, PT2はオンする。これより、インバータ43, 44には電源ノードNvから電源電圧Vccが供給されるため、NチャネルMOSトランジスタNT3, NT5のゲートへはロウレベルの信号が供給され、両NチャネルMOSトランジスタNT3, NT5はオフされる。

【0057】

以上より、初期状態においては、状態検出回路22は不活性化され、ハイレベルに固定された状態検出結果信号fstzを出力する。ここで、位相比較器8から供給される信号outがハイレベルからロウレベルに変化したとすると、NOR回路NOR1の一方の入力端にはロウレベルの信号が入力されるが、該ロウレベルの信号outが遅延回路40を伝送する間は、NOR回路NOR1の他方の入力端に

は依然としてロウレベルの信号outが供給される。従って、この間においてはNOR回路NOR1からはハイレベルの信号が出力される。

【0058】

これにより、ゲートGT1, GT2はオープン状態とされるため、ロウレベルを有したインバータ43の出力信号がゲートGT1を介してインバータ44へ伝送される。そしてさらに、インバータ44はハイレベルを有した出力信号をゲートGT2を介してインバータ45へ伝送する。従って、この場合にはインバータ45から出力ノードNoutへロウレベルを有した信号が供給される。

【0059】

以上より、位相比較器8より供給される信号outがハイレベルからロウレベルへ遷移したときにおいてのみ、状態検出回路22はロウレベルの状態検出結果信号fstzを出力することとなる。

【0060】

次に、図5に示された状態判定回路20について詳しく説明する。図12は、図5に示された状態判定回路20の構成を示す回路図である。図12に示されるように、状態判定回路20はNOR回路NOR2と、該NOR回路NOR2に接続されたインバータ49とを含む。ここで、NOR回路NOR2の二つの入力端には、位相比較器8から供給される信号outと、状態検出回路22から供給される状態検出結果信号fstzとが入力される。そして、インバータ49の出力端から比較結果信号upzがディレイ調整回路24へ供給される。

【0061】

次に、上記状態判定回路20の動作を説明する。まず初期状態においては、上記のように、ハイレベルを有する状態検出結果信号fstzがNOR回路NOR2に供給されるため、インバータ49へは信号outの論理レベルによらず常にロウレベルの信号が供給される。従って、インバータ49からはハイレベルの比較結果信号upzがディレイ調整回路24へ出力される。なお、上記のようにディレイ調整回路24は、ハイレベルの比較結果信号upzが供給された場合には、DLLアレイ7での遅延時間を増大させるようDLLアレイ7の切り替え部31を制御し、ロウレベルの比較結果信号upzが供給された場合には、DLLアレイ7での遅

延時間を短縮するよう D L L アレイ 7 の切り替え部 3 1 を制御する。

【0062】

ここで、状態判定回路 2 0 は、状態検出回路 2 2 からロウレベルの状態検出結果信号 f_{stz} が供給されるまで、ハイレベルの比較結果信号 upz をディレイ調整回路 2 4 へ出力する。そして、状態判定回路 2 0 は、状態検出回路 2 2 からロウレベルの状態検出結果信号 f_{stz} が供給されたとき、N O R 回路 N O R 2 が活性化されるため、位相比較器 8 から供給された信号 out と同じ論理レベルの信号を比較結果信号 upz としてディレイ調整回路 2 4 へ供給する。

【0063】

以上より、本実施の形態に係る遅延時間調整回路によれば、初期状態において遅延クロック信号 $dclk$ の最初のクロックがターゲットクロック信号 $tclk$ の一番目のクロックより進んでいる場合には、遅延クロック信号 $dclk$ の最初の立ち上がりがターゲットクロック信号 $tclk$ の一番目の立ち上がりに揃うように、遅延クロック信号 $dclk$ がさらに遅延される。

【0064】

そして、クロック信号の周波数が高くなり、D L L アレイ 7 が最小段の時でさえも遅延クロック信号 $dclk$ の最初のクロックがターゲットクロック信号 $tclk$ の一番目のクロックより遅れている場合には、遅延クロック信号 $dclk$ の最初の立ち上がりがターゲットクロック信号 $tclk$ の二番目の立ち上がりに揃うように、遅延クロック信号 $dclk$ がさらに遅延される。

【0065】

従って、従来のアンダーフロー状態を回避して、クロック周波数が高周波化したときにおいても容易にクロック信号の位相調整ができるため、半導体集積回路の動作周波数帯域を拡大することができる。

【0066】

【発明の効果】

上述の如く、入力信号と出力信号の位相差が N 周期 (N は 0 以外の整数) となるまで出力信号の位相を遅らせるよう遅延時間を調整すれば、入力信号と出力信号の位相をそろえるよう出力信号の位相を遅らせる際の自由度を高めることができる。

きるため、入力信号の周波数に依らず容易に入力信号と出力信号の位相をそろえることができる。

【0067】

また、第二の周期信号における所定の立ち上がりエッジの位相が、第一の周期信号における所定の立ち上がりエッジの位相に対して遅れているときには、第二の周期信号における所定の立ち上がりエッジが、第二の周期信号における所定の立ち上がりエッジより位相が遅れていると共に第二の周期信号における所定の立ち上がりエッジとの位相差が最小である第一の周期信号における立ち上がりエッジと一致するよう遅延時間を調整すれば、第二の周期信号における所定の立ち上がりエッジが、初期状態において、第一の周期信号における所定の立ち上がりエッジに対し位相が遅れている場合でも、第二の周期信号と第一の周期信号の位相を容易に揃えることができるため、第一の周期信号が高周波数化した場合であっても、所望の位相調整が不可能となるいわゆるアンダーフロー状態を回避し、汎用性及び動作の信頼性を高めることができる。

【0068】

また、第二の周期信号における所定の立ち上がりエッジの位相が、第一の周期信号における第一の立ち上がりエッジの位相に対して遅れていると判断されたときには、第二の周期信号における所定の立ち上がりエッジの位相と第一の周期信号において第一の立ち上がりエッジより一周期遅れた第二の立ち上がりエッジの位相とが一致するよう第二の周期信号の位相を遅らせることとすれば、第一の周期信号の周波数が高くなり、第二の周期信号における所定の立ち上がりエッジの位相が、第一の周期信号における第一の立ち上がりエッジの位相に対して遅れる場合でも、第二の周期信号の位相を第一の周期信号の位相に容易に揃えることができるため、汎用性及び動作の信頼性を高めることができる。

【0069】

また、第二の周期信号における所定の立ち上がりエッジの位相と第一の周期信号における第二の立ち上がりエッジの位相とが一致した後は、第二の周期信号における所定の立ち上がりエッジの位相と第一の周期信号における第二の立ち上がりエッジの位相が許容範囲内で常時一致するよう上記遅延時間を制御すれば、第

一の周期信号と位相が揃った第二の周期信号を安定して外部へ出力することができるため、動作の信頼性を高めることができる。

【図面の簡単な説明】

【図1】

従来の遅延時間調整回路の構成を示す図である。

【図2】

図1に示されたD L L (Delayed Locked Loop) アレイの構成を示す回路図である。

【図3】

図1に示された従来の遅延時間調整回路の動作を示す第一の波形図である。

【図4】

図1に示された従来の遅延時間調整回路の動作を示す第二の波形図である。

【図5】

本発明の実施の形態に係る遅延時間調整回路の構成を示す図である。

【図6】

図5に示された遅延時間調整回路の動作を示す第一の波形図である。

【図7】

図5に示された遅延時間調整回路の動作を示す第二の波形図である。

【図8】

図5に示された位相比較器の構成を示す回路図である。

【図9】

遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックより遅れている場合における、図8に示された位相比較器の動作を示す波形図である。

【図10】

遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックより進んでいる場合における、図8に示された位相比較器の動作を示す波形図である。

【図11】

図5に示された状態検出回路の構成を示す回路図である。

【図12】

図5に示された状態判定回路の構成を示す回路図である。

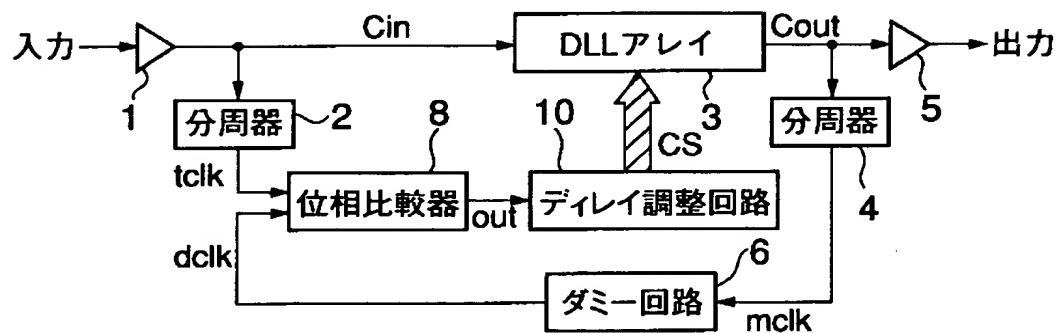
【符号の説明】

- 1 入力バッファ
- 2, 4 分周器
- 3, 7 DLL (Delayed Locked Loop) アレイ
- 5 出力バッファ
- 6 ダミー回路
- 8 位相比較器
- 10 ディレイ調整回路
- 20 状態判定回路
- 22 状態検出回路
- 31 切り替え部
- 40 遅延回路
- 41~49, INV1~INVn インバータ
- 80~85 NAND回路
- SW1~SWn スイッチ
- NT1~NT7 NチャネルMOSトランジスタ
- PT1~PT8 PチャネルMOSトランジスタ
- GT1, GT2 ゲート
- NOR1, NOR2 NOR回路
- MC1, MC2 MOSキャパシタ
- NA, NB, NC, ND ノード
- Nv 電源ノード
- Ng 接地ノード

【書類名】 図面

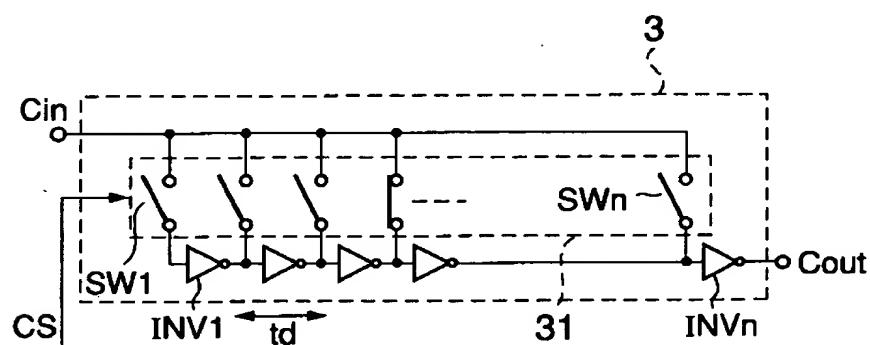
【図1】

従来の遅延時間調整回路の構成を示す図



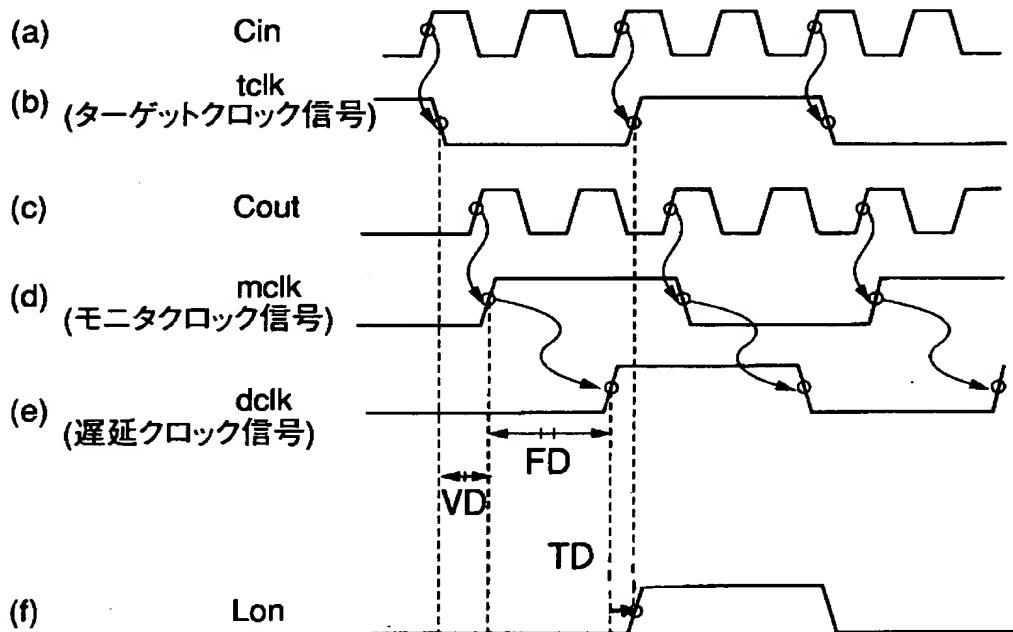
【図2】

図1に示されたDLL(Delayed Locked Loop)アレイの構成を示す回路図



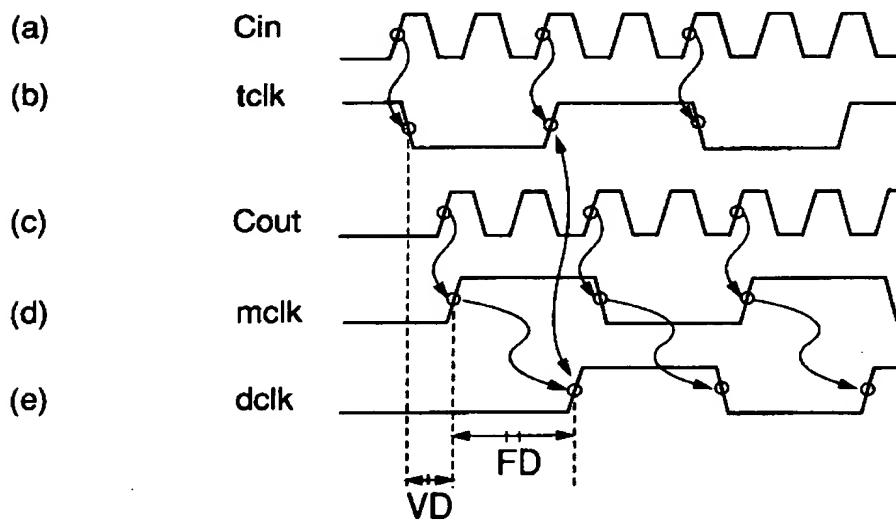
【図3】

図1に示された従来の遅延時間調整回路の動作を示す第一の波形図



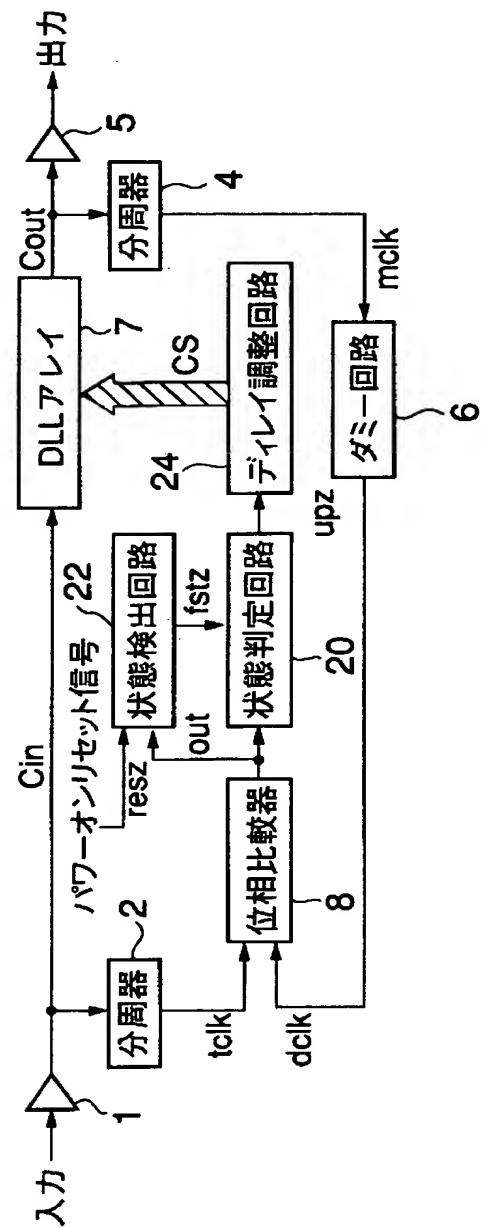
【図4】

図1に示された従来の遅延時間調整回路の動作を示す第二の波形図



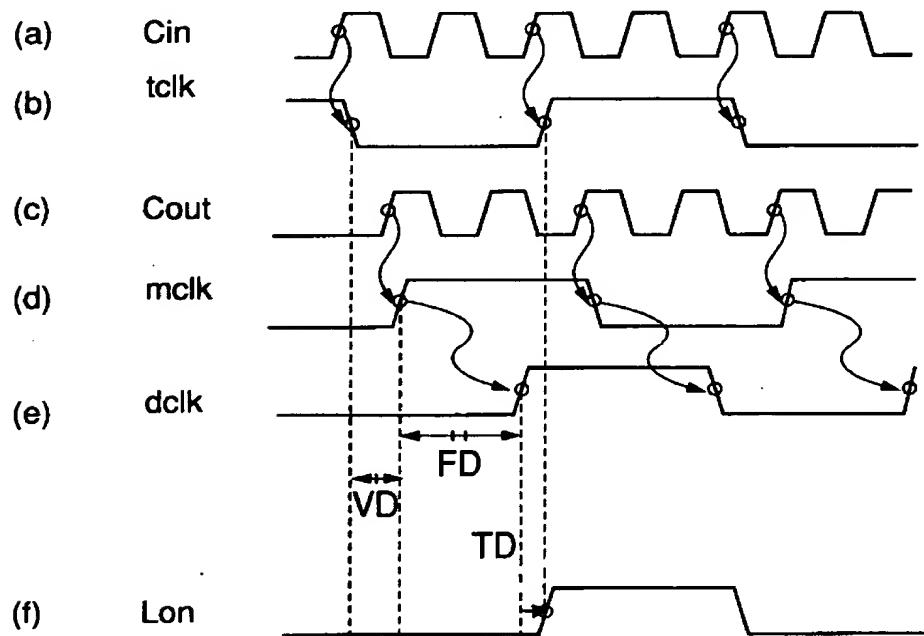
【図5】

本発明の実施の形態に係る遅延時間調整回路の構成を示す図



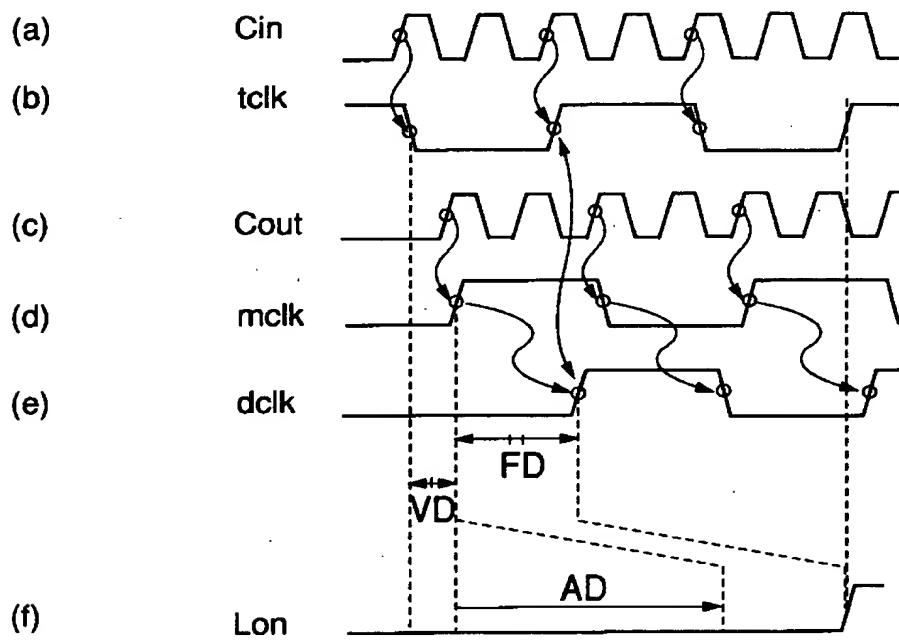
【図6】

図5に示された遅延時間調整回路の動作を示す第一の波形図



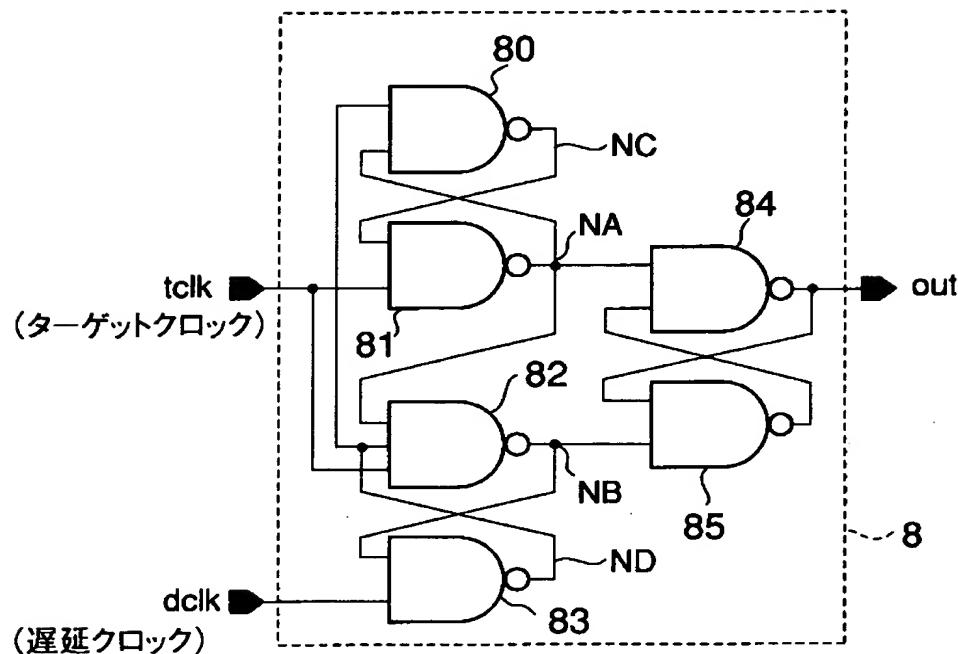
【図7】

図5に示された遅延時間調整回路の動作を示す第二の波形図



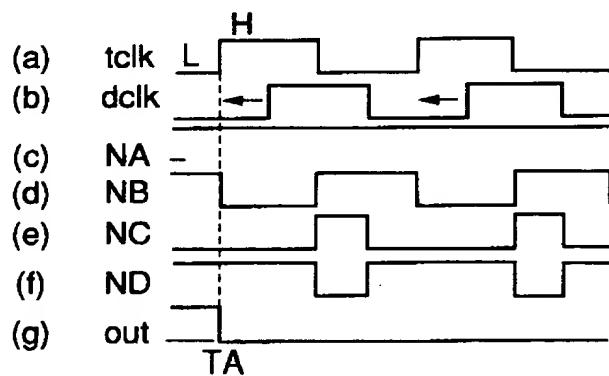
【図8】

図5に示された位相比較器の構成を示す回路図



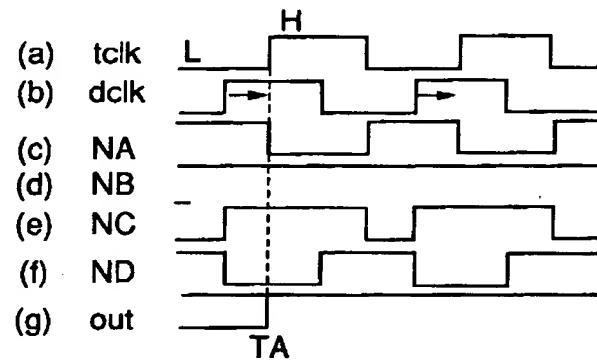
【図9】

遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックより遅れている場合における、図8に示された位相比較器の動作を示す波形図



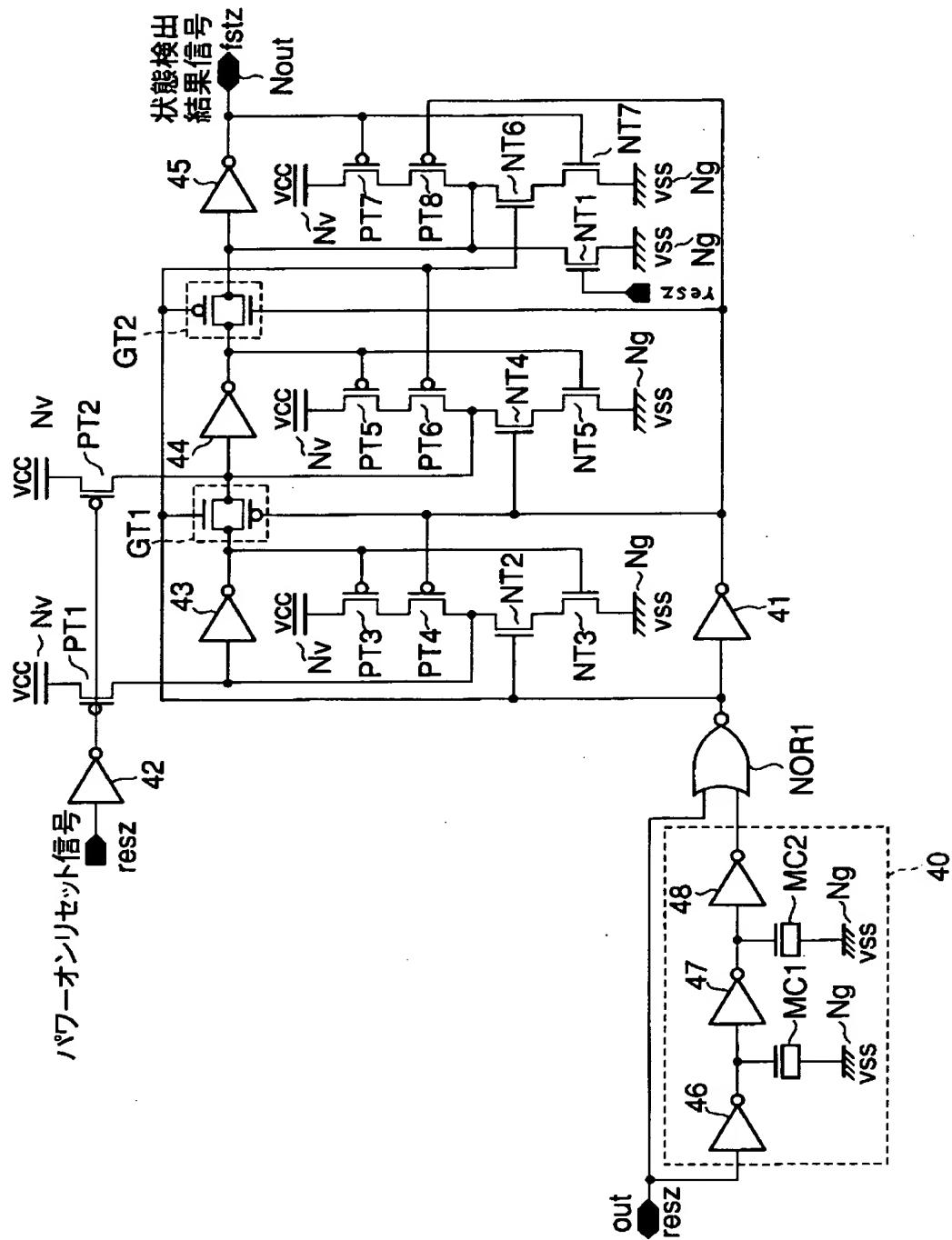
【図10】

遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックより進んでいる場合における、図8に示された位相比較器の動作を示す波形図



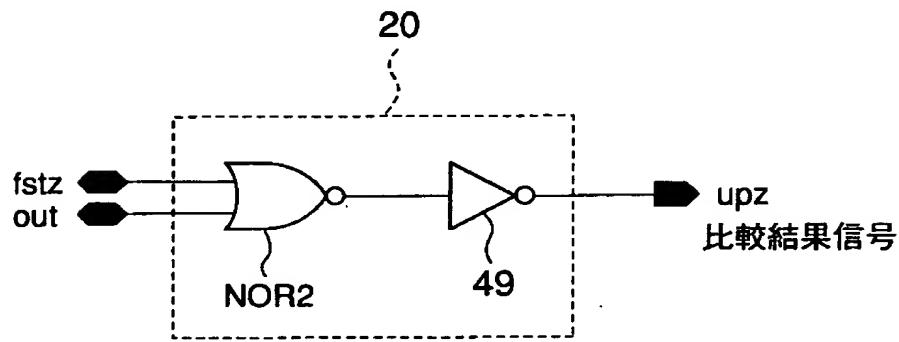
【図11】

図5に示された状態検出回路の構成を示す回路図



【図12】

図5に示された状態判定回路の構成を示す回路図



【書類名】 要約書

【要約】

【課題】 周波数が高い場合においても信号の遅延時間を容易に調整することができる遅延時間調整回路と遅延時間調整方法を提供する。

【解決手段】 入力信号と出力信号の位相が一致するように入力信号の遅延時間を調整する遅延時間調整回路であって、入力信号と出力信号の位相差がN周期（Nは0以外の整数）となるまで出力信号の位相を遅らせるD L Lアレイ7を備えたことを特徴とする遅延時間調整回路を提供する。

【選択図】 図5

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社